22-2-2024

ANDRADE SALAZAR, IGNACIO

Centro Universitario de los Valles, Universidad de Guadalajara

Programación de sistemas reconfigurables

Tarea 5. Estructuras de programación 2

Ingeniería en electrónica y computación

**ESTRUCTURAS DE PROGRAMACIÓN**

**1.- ¿Cuáles son las estructuras elementales de las declaraciones secuenciales? Solo cuáles son**

* If-then-else
* If-then-elsif
* case

**2.-En la sección Buffers tri-estado: ponga figura 2.13 (dibujo y código) escrito o tecleado y mencione que significa Z y OE.**

OE

Salida

++-+-

Datain

|  |  |  |
| --- | --- | --- |
| **OE** | **Salida** | **Comentario** |
| **0** | **Z** | **Z=Alta impedancia** |
| **1** | **Datain** |  |

library ieee;  
use ieee.std\_logic\_1164.all;  
entity tri\_est is  
port( OE, datain: in std\_logic;  
 salida: out std\_logic);  
end tri\_est;  
architecture arq\_buffer of tri\_est is  
begin  
 process (OE, datain) begin  
 if OE = '0' then  
 salida <= 'Z';  
 else  
 salida <= datain;  
 end if;  
 end process;  
end arq\_buffer;

**3.-Dibuje la tabla 2.2 no imagen y teclee el párrafo inicial de la página 38. En apariencia…**

|  |  |
| --- | --- |
| **‘U’** | **Valor indefinido “undefined”** |
| **‘X’** | **Valor fuerte desconocido** |
| **‘0’** | **0 Fuerte** |
| **‘1’** | **1 Fuerte** |
| **‘Z’** | **Alta impedancia** |
| **‘W’** | **Valor débil desconocido** |
| **‘L’** | **0 débil la L debe estar entre comilla ‘L’** |
| **‘H’** | **1 débil** |
| **‘-‘** | **No importa (don´t care);** |

**4.-Operadores relacionales se utilizan para....., ponga todo el párrafo completo. Dibuje la tabla 2.3**

Los operadores relacionales se utilizan para evaluar la igualdad, desigualdad o la magnitud en una expresión. Los operadores de igualdad y desigualdad (= y /=) son definidos en todos los tipos de datos. En tanto, los operadores de magnitud (<,<= y >=) están definidos solo dentro del tipo escalar. Sin embargo, en ambos casos debe considerarse que el tamaño de los vectores en los que se aplicarán dichos operadores debe ser de igual magnitud.

|  |  |
| --- | --- |
| **Operador** | **Significado** |
| = | Igual |
| /= | Diferente |
| < | Menor |
| <= | Menor o igual |
| > | Mayor |
| >= | Mayor o igual |

**5.-Página 41- complete ->En la línea 4 del código que se muestra ...... complete todo el párrafo. Al final de la Figura 2.19.**

En la línea 4 del código que se muestra en la figura 2.19 se ve que la entrada a se declara como de tipo entero (integer), con un rango (range) de 0 a 9 (debido a que son diez los dígitos que se usarán), lo que nos permite manejar los datos directamente de la forma decimal. Por otro lado, el perto de salida es un arreglo del tipo std\_logic\_vector, esto nos permite seleccionar un dato en forma decimal y obtener a la salida su equivalente binario. Al igual que en el listado anterior, el funcionamiento del circuito se basa en un proceso, el cual se ejecuta mediante una declaración secuencial y la instrucción elsif.

**6.-En la sección Enteros (integer): El tipo integer se utiliza en VHDL .... ponga los cinco renglones.**

**7.- Resuma la página 43, ponga las imágenes de la Figura 2.22, así como los códigos del listado 2.12 a y b y diga sus diferencias y similitudes**

**Todo eso está en la lectura cap2Parte2.pdf**

**6.- Genere un mux de 3 canales de entrada, cada canal tiene 16 líneas E0, E1 y E2 = 16. Agregue las líneas de selección necesarias. Y tiene un canal de salida de 16 líneas F1 = 16**

**Entidad = Multiplexor3, hay que expresarlo en dos formas ->usando with select when y usando case**

**Entidad y Architecture completas.**